

35.G2625



PATENT APPLICATION

2874
#3
25 Oct 00
R. Taddeo

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

TOSHIHIKO OUCHI

Application No.: 09/627,448

Filed: July 27, 2000

For: OPTICAL WIRING DEVICE

) Examiner: Unassigned
)
 : Group Art Unit: Unassigned
)
 :
)
 :
) October 12, 2000

The Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Applicant hereby claims priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119 based upon the following Japanese Priority Application:

11-213005

Japan

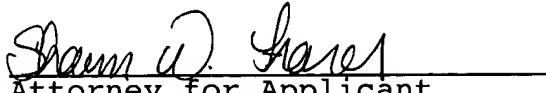
July 28, 1999.

A certified copy of the priority document is enclosed.

RECEIVED
CPT 17 229
TC 2330 MAIL ROOM

Applicants' undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our address given below.

Respectfully submitted,



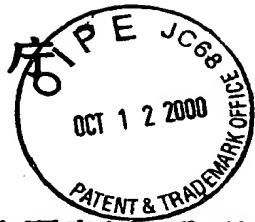
Attorney for Applicant
Shawn W. Fraser
Registration No. 45,886

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

SWF:eyw

CG2625US

日本国特許
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 7月28日

出願番号
Application Number:

平成11年特許願第213005号

出願人
Applicant(s):

キヤノン株式会社

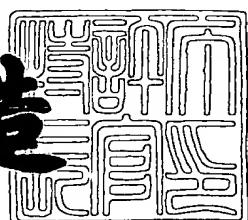
Appn. no.: 09/627,448
Filed: July 27, 2000
Inv.: Toshihiko Ouchi
Title: OPTICAL WIRING DEVICE

RECEIVED
OCT 17 2000
TC 2000 MAIL ROOM

2000年 8月18日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3065466

【書類名】 特許願

【整理番号】 3927007

【提出日】 平成11年 7月28日

【あて先】 特許庁長官殿

【国際特許分類】 G02B 6/42
H01L 27/00
H01L 27/15

【発明の名称】 光配線装置、その駆動方法およびそれを用いた電子機器

【請求項の数】 19

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

【氏名】 尾内 敏彦

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100086483

【弁理士】

【氏名又は名称】 加藤 一男

【電話番号】 0471-91-6934

【手数料の表示】

【納付方法】 予納

【予納台帳番号】 012036

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特平11-213005

【物件名】 要約書 1

【包括委任状番号】 9704371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光配線装置、その駆動方法およびそれを用いた電子機器

【特許請求の範囲】

【請求項1】電子機器間、電子機器内における信号接続のための配線ケーブルであって、外部との間で脱着可能な電気コネクタ部と、光信号を伝送可能な光伝送手段と、光電変換するための光素子を備え、該光素子は、該脱着可能な電気コネクタ部の導電部で接続された電気信号により変調される発光素子と、該光伝送手段で伝送された光信号を該電気コネクタ部の導電部に接続するための電気信号に変換する受光素子の少なくとも一方から成って集積化され、該光伝送手段と光結合するように該光素子はアライメントされて固定されていることを特徴とする光配線装置。

【請求項2】光素子は面入出射型の面型半導体光素子であり、該光素子は光伝送手段の光入出射端に面同士を当接させて面実装されていることを特徴とする請求項1記載の光配線装置。

【請求項3】光素子のうち発光素子は面発光レーザであることを特徴とする請求項2記載の光配線装置。

【請求項4】光素子のうち受光素子はp i n型ホトダイオード或はMSM型素子であることを特徴とする請求項2記載の光配線装置。

【請求項5】光素子は、アレイ状に並べられて、各素子の独立電極がフリップチップ実装で配線基板に貼り付けられ、前記電気コネクタ部に設けられた構造体に固定されて電気コネクタ部の各導電部から独立に配線されていることを特徴とする請求項1乃至4の何れかに記載の光配線装置。

【請求項6】光素子は、光取り出し用の窓が前記配線基板または構造体に設けられて前記光伝送手段に光結合出来るように面実装で接着されていることを特徴とする請求項5記載の光配線装置。

【請求項7】光素子と電気コネクタ部の各導電部との電気接続に用いる配線基板は自由に曲げることが出来るフレキシブル配線基板であることを特徴とする請求項5または6記載の光配線装置。

【請求項8】光素子を駆動するための電子回路素子が前記電気コネクタ部に

同時に集積化されていることを特徴とする請求項1乃至7の何れかに記載の光配線装置。

【請求項9】電子回路素子にはパラレルシリアル変換機能を含むことを特徴とする請求項8記載の光配線装置。

【請求項10】同一Si基板上に集積化されたICと電気的接触が得られる様に前記光素子のペアチップを直接フリップチップ実装で該Si基板上にハイブリッド化した電子回路素子が設けられていることを特徴とする請求項1乃至9の何れかに記載の光配線装置。

【請求項11】面発光レーザである光素子は、前記構造体或は光伝送手段と配線基板との間にサンドイッチされる形で実装されており、多層膜反射ミラーと活性層を含む共振器層のみ残して半導体基板が除去されて構成されていることを特徴とする請求項5乃至10の何れかに記載の光配線装置。

【請求項12】光伝送手段は、光導波路をホトリソグラフィとエッティングを用いて作製してアレイ状にコアが並べられたシート状のものであり、該光導波路端面にアレイ状の前記光素子が垂直入出射で光結合されて固定されていることを特徴とする請求項1乃至11の何れかに記載の光配線装置。

【請求項13】光伝送手段は、光ファイバをアレイ状に並べたものであり、該光ファイバ端面にアレイ状の前記光素子が垂直入出射で光結合されて固定されていることを特徴とする請求項1乃至11の何れかに記載の光配線装置。

【請求項14】前記光伝送手段は金属薄膜と接着して成り、該金属薄膜で配線を形成することで光伝送すると共に電気接続も同時に行なうことを特徴とする請求項12または13記載の光配線装置。

【請求項15】脱着可能な電気コネクタ部は、電子機器内に実装したレセプタブルにおいて電気的接続を行なうことを特徴とする請求項1乃至14の何れかに記載の光配線装置。

【請求項16】脱着可能な電気コネクタ部は、電子機器内のプリント基板上にハンダ付けすることで電気的接続を行なうことを特徴とする請求項1乃至14の何れかに記載の光配線装置。

【請求項17】光素子に面発光レーザを含む請求項1乃至16の何れかに記

載の光配線装置の駆動方法において、面発光レーザの駆動は、前記電気コネクタの導電部と接続された電子機器側の出力段のCMOSバッファのオン・オフで直接行ない、レーザの駆動電流の調整は直列に挿入した抵抗で行なうことを特徴とする光配線装置の駆動方法。

【請求項18】大規模中央演算装置(MPU)、ランダムアクセスメモリなどの電気集積素子を搭載したプリント基板ボードと他のマルチチップモジュールや記憶装置などの装置を請求項1乃至16の何れかに記載の光配線装置を用いて接続して構成したことを特徴とする電子機器。

【請求項19】コンピュータシステムにおいて、CPUなどを搭載する本体と各種I/Oポートを備えるディスプレイとの間の接続およびローカルエリアネットワークとの接続を請求項1乃至16の何れかに記載の光配線装置を用いて構成したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子機器同志あるいは電子機器内のボード間や、各装置間を光接続するための光配線装置ないし光コネクタ、光導波路ケーブル、その駆動方法等に関する。

【0002】

【従来の技術】

近年、コンピュータ、情報処理、ディスプレイ、プリンタなどを含めた電子機器の高速化に伴い、電子機器内でのボード間やボードと内蔵装置間、あるいは各電子機器間などにおける接続において、電気配線による信号遅延、発熱、電磁放射ノイズ(EMI)の発生などの問題が表面化している。その対策は難しく、近い将来、電気配線での限界が見えてくるのは明らかである。

【0003】

装置間では、ギガビットイーサネットやIEEE1394による高速伝送をツイストペアケーブル等で実現する方式が開発されてきている。高速伝送を実現する伝送方式としては、振幅の小さい差動信号LVDS(Low Voltage

Differential Signaling) を用いた方式が一般的になつてゐるが、インターフェースICやケーブルが高価（ツイナックスケーブル）なことから、使用範囲は限られ、1 Gbps 程度の伝送レートではインピーダンスマッチングの設計が必要でしかも距離としては10m程度が限界である。

【0004】

また、装置内のボード間では専用ICの不要なパラレル接続も多く用いられているが、トータルレートとして1 Gbps を越えると、ピン数、コネクタ信頼性、スペース、チャネル間の遅延すなわちスキーの問題や、ケーブルのコスト、重量など様々な問題がある。

【0005】

さらに、いずれの場合にも、電気接続ではEMIの対策が問題になっており、高速伝送になれば益々これが表面化してくる。

【0006】

一方、これら電気配線の限界をクリアするために、光接続する方法も開発されてきている。この場合、装置内にE(電気)/O(光)、O/E変換部を持ち、光コネクタで光ファイバなどを接続して光結合する方式が一般的である。

【0007】

その例として、図14に示すように（特開平6-174981号公報）、配線ボード1050に2次元アレイ状のE/O、O/E変換部を持つ光アクティブレセプタクル1001を固定して、ここに光コネクタ1060を挿入することで光ファイバ1061に対して光結合を行なうものがある。これによりバンドルファイバ1063で大容量の光インターフェクションが可能となっている。尚、図14において、1020は駆動電子回路、1040は光コネクタ部、1066は光結合部、1067はガイドピンである。

【0008】

この方式は、電気配線におけるような寄生容量による信号遅延やグランドの不安定性からくる信号劣化、あるいは配線から放射されるEMIの放射などがないため、次世代配線技術として期待されている。しかし、光の結合損失を避けるために光コネクタや光素子の実装には精度が要求されてコストが上昇してしまうと

いう問題があるために、なかなか実用化に至らない。また、大容量伝送のために多チャネル化して光結合部分が多くなると、歩留まりやスペースの問題があり、電気配線の代替とする用途は限られていた。さらに、頻繁に脱着する場合の信頼性や、誰にでも扱えるという容易性に欠けており、一般消費者向け電子機器に組み込むには課題が多くあった。

【0009】

そこで、特開平9-80360号公報に開示されているように、光結合部分はコネクタに内蔵して固定し、電気接続で配線ボードと光配線ケーブルをコネクトする方法も考案されている。これを図15を元に簡単に説明する。有機導波路に光変調器が集積化された光MCM (Multi-Chip-Module) 1101と光ファイバ1100が光結合するように固定されており、光変調器の変調信号は電気コネクタ用のピン1102を通して入力するようになっている。従って、従来のソケット1103に、ピン1102、光MCM1101、光ファイバ1100が一体化されたコネクタを差し込めば光接続が出来るようになっている。この方法では、光結合部分が固定式なのでコネクタ部分の精度は要求されないために、低コスト化でき、その脱着は簡単で信頼性が高く、一般消費者が光コネクタを扱るために汎用化出来るという利点があった。

【0010】

【発明が解決しようとしている課題】

しかし、図15の方式では、上記で述べたようにコネクタ部が電気接続となっているため、扱いが非常に簡便である反面、光MCMに光変調器という高機能素子などを複数設置するために、コスト高になることや歩留まりの低下および小型化に限界があることなどが問題になっている。また、1つのレーザダイオードからの光出力を分岐するために、マルチチャネル化した場合に光強度の低下が問題になる。さらに、平面光導波路を用いてモジュールを構成しているために、アレイ化した場合に基本的には1次元となり、バンドル光ファイバあるいはシート状のマルチコア光導波路を用いて光接続する場合の光ケーブルが幅広になり、スペースを占めると共に、曲げなどの扱いに制限が生じる。2次元状のバンドルファイバにするには、図14の例のように2次元アレイ状にした光デバイスと光ファ

イバあるいは光導波路を結合するようにすればよいが、このようなE/O、O/E変換部を内蔵した小型で実用的な光配線用コネクタは開発されていない。

【0011】

そこで、本発明の目的は、E/O及び/O/E変換部を内蔵した光インターフェクション用のコネクタや導波路を含めた低コスト化可能で取り扱いの容易な光接続装置、およびその駆動方式等を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成する光接続装置は、電子機器間、電子機器内における信号接続のための配線ケーブルであって、外部との間で脱着可能な電気コネクタ部と、光信号を伝送可能な光伝送手段と、光電変換するための光素子（典型的には、面型半導体光素子）を備え、該光素子は、該脱着可能な電気コネクタ部の導電部で接続された電気信号により変調される発光素子（面発光レーザなど）及び該光伝送手段で伝送された光信号を該電気コネクタ部の導電部に接続するための電気信号に変換する受光素子（p-i-n型ホトダイオード、MSM型素子など）の少なくとも一方から成って集積化され、該光伝送手段と光結合するように該光素子はアライメントされて固定されていることを特徴とする。これにより、光ファイバや光導波路を用いて光接続をする場合に、脱着が容易で信頼性が高く、低コストな電気コネクタ部による電気接続を介して行えるようにして、光インターフェクションを簡便に行うことが出来る光配線装置が実現される。この構成では、コネクタ内部に光電変換素子を備えて光伝送手段との光結合を固定することで、脱着部は電気コネクタ部で行ないながら信号伝送は光信号で行なうことができ、コネクタ部分の実装コストの低減、信頼性の向上、取り扱いの容易性などの面で優れた高速伝送および低EMI化が可能な光インターフェクションが実現出来る。

【0013】

この基本構成に基づいて、以下の如き好適な形態が可能である。

光素子は、アレイ状に並べられて、各素子の独立電極がフリップチップ実装で配線基板に貼り付けられ、前記電気コネクタ部に設けられた構造体に固定されて電気コネクタ部の各導電部から独立に配線されている。これにより、光電変換を行

なうための発光素子および受光素子を面型の半導体素子にすれば、面実装で小型、低コストな電気および光実装を実現できる。そして、光伝送手段への光実装を垂直入射で行なうことが出来るためにアライメントが容易であり、電気実装も配線用基板にフリップチップ実装を行なうことで、小型で、ワイヤボンディングを必要としないために低コスト化が可能となる。この場合、光素子は、光取り出し用の窓が前記配線基板または構造体に設けられて前記光伝送手段に光結合出来るように面実装で接着され得る。

【0014】

光素子と電気コネクタ部の各導電部との電気接続に用いる配線基板は自由に曲げることが出来るフレキシブル配線基板であり得る。これにより、上記の電気実装において、簡便な実装方法を提供できる。曲げたりすることが簡単なTABテープなどのフレキシブル基板を用いることで、3次元的に配線が可能であり、実装の自由度が広がる。

【0015】

光素子を駆動するための電子回路素子が前記電気コネクタ部に同時に集積化され得る。これにより、小型で信頼性の高い光電変換機能を持つ集積光電子素子を提供して、上記の光配線装置の低コスト化を図れる。こうして電気コネクタ部内の光電変換部に、発光素子や受光素子を駆動したり、信号のパラレルシリアル変換を行なうICを集積化することで、電子機器内のプリント基板ボードの省スペース化につながる。この場合、電子回路素子にはパラレルシリアル変換機能を含ませ得る。

【0016】

同一Si基板上に集積化されたICと電気的接触が得られる様に前記光素子のペアチップを直接フリップチップ実装で該Si基板上に上にハイブリッド化した電子回路素子が設けられ得る。上記駆動ICを構成したSi基板に、直接、発光素子および受光素子のペアチップをフリップチップ実装することで、コネクタの小型化が図れる。

【0017】

面発光レーザである光素子は、前記構造体或は光伝送手段と配線基板との間に

サンドイッチされる形で実装されており、多層膜反射ミラーと活性層を含む共振器層のみ残して半導体基板が除去されて構成され得る。これにより、低消費電力駆動およびアレイ化が容易な面発光レーザを発光素子として用い、該面発光レーザを形成した化合物半導体基板を除去して、より小型で、環境安全性の高く高速駆動が可能な光電子集積素子を搭載した光配線装置を提供できる。この構成では、フリップチップ実装等で配線基板または固定するための構造体、IC基板などに面発光レーザを接着した後に、面発光レーザを構成したGaAs、InPなどの化合物半導体基板を除去して、現れた表面にも再び加工と接着を行い、レーザの機能層を他の物質で挟むような構成にすることで、より小型で、環境安全性の高い光電子集積素子となる。

【0018】

光伝送手段は、光導波路をホトリソグラフィとエッティングを用いて作製してアレイ状にコアが並べられたシート状のものであり、該光導波路端面にアレイ状の前記光素子が垂直入出射で光結合されて固定され得る。これにより、上記光配線装置において、空間多重光伝送を行って伝送容量を上げるための光伝送手段を提供できる。こうして、小型で低コストで大容量の光配線が可能となる。

【0019】

また、光伝送手段は、光ファイバをアレイ状に並べたものであり、該光ファイバ端面にアレイ状の前記光素子が垂直入出射で光結合されて固定され得る。これによっても、上記光配線装置において、空間多重光伝送を行って伝送容量を上げるための光伝送手段を提供できる。光伝送手段として光ファイバをアレイ状にバンドルしたもの用いることでも、小型で低コストで大容量の光配線が可能となる。

【0020】

前記光伝送手段は金属薄膜と接着して成り、該金属薄膜で配線を形成することで光伝送と共に電気接続も同時に行ない得る。これにより、電気的接続も同時に行うことが出来る伝送手段を提供できる。光伝送手段に金属薄膜による電気配線パターンも接着しておくことで、低周波の信号や電源、グランドの接続などに用いる電気接続も同時に行なうことが出来る。

【0021】

脱着可能な電気コネクタ部は、電子機器内に実装したレセプタブルにおいて電気的接続を行なう。これにより、電子機器内の配線ボードから上記光配線装置を用いて光インターフェクションを行うための接続方法を提供できる。この接続方法では、簡単に何度も脱着することができ、また信頼性が高く低コストである。

【0022】

脱着可能な電気コネクタ部は、電子機器内のプリント基板上にハンダ付けすることで電気的接続を行なう。これによっても、電子機器内の配線ボードから上記光配線装置を用いて光インターフェクションを行うための接続方法を提供できる。ここでは、電気コネクタの接続を電子機器内のプリント基板上に直接ハンダ付けで行なうことで、プリント基板上の省スペース化につながる。

【0023】

上記目的を達成する光素子に面発光レーザを含む上記の光配線装置の駆動方法は、面発光レーザの駆動を、前記電気コネクタの導電部と接続された電子機器側の出力段のCMOSバッファのオン・オフで直接行ない、レーザの駆動電流の調整を直列に挿入した抵抗で行なうことを特徴とする。これにより、上記面発光レーザのオン・オフ駆動をLSIなどの出力段のトランジスタで行なって、特別な回路上の変更がなく、低成本、低消費電力の光配線装置の駆動方法を提供できる。ここでは、上記面発光レーザのオン・オフ駆動をLSIなどの出力段のトランジスタでスイッチングすることで行い、電源電圧に抵抗と面発光レーザが直列に接続されて、その抵抗値で面発光レーザの電流量を決定するので、特別な回路上の変更がなく、低成本、低消費電力の光配線装置の駆動方法となる。

【0024】

上記目的を達成する電子機器は、大規模中央演算装置(MPU)、ランダムアクセスメモリなどの電気集積素子を搭載したプリント基板ボードと他のマルチチップモジュールや記憶装置などの装置を上記の光配線装置を用いて接続して構成したことを特徴とする。これにより、電子機器内で上記光配線装置を用いることで低成本で高速信号処理が可能で、低放射ノイズである装置を提供できる。電

子機器内のボードや内蔵装置間の接続を上記光配線装置で行なうことにより、高速信号処理が可能で、ケーブルの省スペース化、低EMI化ができ、高周波マッチングの設計の手間が省けるなどの利点がある。

【0025】

上記目的を達成する電子機器は、コンピュータシステムにおいて、CPUなどを搭載する本体と各種I/Oポートを備えるディスプレイとの間の接続および／またはローカルエリアネットワークとの接続を上記の光配線装置を用いて構成したことを特徴とする。これにより、電子機器同士を上記光配線装置を用いて接続することで低コストで大容量信号伝送を行なうことが出来る装置やネットワークを提供できる。コンピュータ本体とディスプレイ、あるいはLAN（ローカルエリアネットワーク）との接続において上記光配線装置を用いることで、ケーブルの省スペース化、低EMI化ができ、高周波マッチングの設計の手間が省けるなどの利点がある。

【0026】

【発明の実施の形態】

以下に、本発明の具体的な実施の形態を図を参照しつつ説明する。

【0027】

【第1実施例】

本発明では、コネクタ部分は従来の電気コネクタを用いて脱着を行い、プラグ側にO/E及び／またはE/Oの変換機能を集積化して、光素子と光導波路との結合は接着で固定しており、光コネクタを必要としないことを特徴としている。これにより、脱着が容易で信頼性が高く、光実装部品を大幅に削減して低コストな光接続用コネクタを提供出来る。

【0028】

図1は本発明の第1実施例のコネクタ部分の構成を説明する図である。図1(a)において、7は電気接続用のコネクタ部であってメス結合部8および後段のワイヤとの電気接続用のピン9から構成されている。電気接続用コネクタ部7は、従来から用いられている樹脂製のものでよく、この図では2×8の16個のピン9があるが、ピン数は任意のものでよく、また結合部8はオス型でも勿論よい

【0029】

このコネクタ部7の後段には、配線パターン（不図示であるが、これは各穴5と電極パッド9を電気的に結合する）と電極パッド6を形成したプレート4がある。プレート4は、上記コネクタ部7のピン9が穴5に差し込まれると共にハンダ付けされることにより、コネクタ部7に固定してある。このプレート4も電気のプリント基板に通常用いられている樹脂などでよい。また、必要であれば、このプレート4上に後述の光素子の駆動用の電子回路を構成してもよい。

【0030】

さらに、その後段には、光素子とマルチコア光導波路3が一体化されたE/O、O/E変換部1が接着されている。光素子との電気配線は、電気配線パターンが形成されたフレキシブル基板（TABテープなど）18によって、電極パッド6と接続することにより行う。全てを組み立てた後に、全体をカバーで覆うか、モールド樹脂で固めてハンドリングをしやすいようにする（不図示）。

【0031】

E/O、O/E変換部1の構成の例を図1（b）に示す。E/O変換部の場合には、面発光レーザ11が2つのプレート10、19にサンドイッチされる形で実装されており、TABテープ18により各素子に独立配線が出来るようになっている。すなわち、面発光レーザ11の発光部12の周りに設けられたリング電極13とTABテープ18の電極17がアライメントされて、リング電極13と電極17の両者が実装接合面の間に完全に隠れた状態で実装するフリップチップ実装されており、各発光部12に対応する部分には光透過用の窓14が設けられている。面発光レーザ11の共通電極は、プレート10側に設けられていてよいし、TABテープ18側に出されていてよい（これについては後述する）。各電極17は配線16を介して電極パッド15に接続され、この電極パッド15はプレート4に形成された電極パッド6に接続されている。

【0032】

マルチコア光導波路3とは光結合するようにアライメントしてプレート19と接着剤で固定されている。面発光レーザ11は出射角が10°以下と小さいので

、たとえばコア21のサイズが $100\mu m$ 角程度の場合には、プレート19の厚さが $100\mu m$ 程度であっても光の損失が小さくまた光実装の許容誤差も数 $10\mu m$ 程度なので、ガイドピン22をプレート10に形成しておいて、マルチコア光導波路3に設けた穴23に差し込む程度のパッシブアライメントで対応出来る。光導波路3としてコア径 $50\mu m$ のバンドル光ファイバを用いる場合には、窓部14にレンズを嵌め込むことで結合効率を上げてもよい。

【0033】

また、プレート10、19およびTABテープ18の素材は、光素子11の熱放散のために熱伝導性が高いものが望ましく、プレート10、19には金属か $A_{12}O_3$ または A_1N セラミック薄膜を用い、TABテープ18には $A_{12}O_3$ 粉末入りのポリイミドフィルムなどを用いる。さらに、光素子11からの放熱性を上げるために、プレート10をプレート4に接着する接着面に金属膜および放熱フィン（不図示）を付けてもよい。

【0034】

ここでは、E/O変換素子を例にとって説明したが、O/E変換素子の場合は、面型受光素子としてpin型ホトダイオードやMSM（metal-semiconductor-metal）型素子などを用い、面発光レーザの場合と同様に実装を行なう。pin型ホトダイオードの電極は上記電極の構造とほぼ同じであり、MSM型素子の電極は樹型電極が同一面に出ている。

【0035】

なお、以上述べてきたコネクタでは一方向の接続、すなわち光ケーブル3の片端がE/O変換部、もう一方の端がO/E変換部となっている場合を想定しているが、両方のコネクタ内にE/O、O/Eの両方を備えて双方向の接続が可能な様にしても勿論よい。その場合は、図2のように光素子を面発光レーザ11と面型受光素子24（受光部25と電極26を持つ）に分けて、同一プレート19上にフリップチップ実装するようにすればよい。この図では、その他の構成はすでに述べたものと同様である。面発光レーザと面型受光素子を同一基板上に作製して、一体型の素子を図1のように実装しても勿論よい。また、コネクタの差込方向と光ケーブル3の方向が同じケーブルについて示したが、図3のようにE/O

、O/E変換部の接着方向を変えればL型コネクタにすることが簡単に出来る。

【0036】

次に、光配線用のマルチコア光導波路3について説明する。導波路の材料としては、フッ素化PMMAやエポキシ樹脂、ポリイミドなどの樹脂で形成するのが簡便でよい。その作製方法を図4を元に簡単に説明する。

【0037】

先ず、図4(a)に示す様に、Si基板41上に、クラッドとなる樹脂42をスピナーなどで塗布後に硬化させ、さらにコアとなる屈折率の若干高い層43を同様に形成した後に、ホトリソグラフィーにより導波路形状にパターニングしたレジスト44を形成する。

【0038】

次に、図4(b)に示す様に、酸素プラズマを用いた反応性イオンエッチング(RIE)によって導波路パターンを形成した後、レジスト44を除去する。更に、図4(c)に示す様に、クラッドとなる樹脂42を埋め込むように形成し、エッチバックにより表面を平坦化する。

【0039】

図4(d)に示す様に、さらに同様に光導波路形状にコア層43を形成する。このとき、上下の導波路43の位置は、マスクの合わせマークにより精度良く合わせることが出来る。そして、図4(e)に示す様に、同様にクラッドとなる樹脂42を埋め込むように形成して平坦化する。

【0040】

最後に、図4(f)に示す様に、最終クラッド層42上に金属厚膜20を形成して、Si基板41を機械研磨およびKOHなどのウエットエッチングにより除去すれば、図1の符号3で示すようなフレキシブルなマルチコア光導波路が作製出来る。

【0041】

このとき、コア43の断面は $100\mu m \times 80\mu m$ であり、上下とも $250\mu m$ ピッチで並んでおり、最後の支持基板となる金属層20は銅で厚さ $100\mu m$ とした。この金属層20はメッキで形成してもよいし、銅薄膜を接着する方法で

もよく、材料もこれに限ったものではない。このように金属層20を形成しておけば、光導波路3の支持の機能だけでなく、光素子の放熱の機能を持たすことも出来る。また、装置内で用いる場合にはボード間の電気的共通ラインを接続することに用いたり、金属層27を図5のように配線パターンとして形成すれば電気的接続も同時に行なうことも出来る。これは、比較的遅い信号やアナログ信号の接続や給電ラインなどとして利用することが出来る。この場合、コネクタ部7のピン9の数を増やして、その一部にこの電気配線と接続するような配線を設けることになる。

【0042】

一方、導波路の材料としては他にも色々あり、低損失材料としてシリカガラスを用いたものでもよい。この場合、Pをドープしたシリカガラス（PSG）を用いると、加熱することでマストランスポートが起きて表面平坦化出来るので、多層光配線層として作製しやすい。このとき、コア層21としてGeをさらにドープしたGPSGで屈折率制御を行なえば光導波路を構成出来る。

【0043】

次に、E/O変換に用いる面発光レーザについて説明する。通常、面発光レーザは、n基板上に、活性層を含む共振器をDBR（Distributed Bragg Reflector）ミラーでサンドイッチした構造をエピタキシャル成長し、発光部だけに電流が流せるような狭窄構造を形成したもので、簡単に図1（b）の符号11のように2次元アレイ化出来る。ここでは、GaAs基板上にAlAs/AlGaAs多層膜エピミラーを成長し、GaAs/AlGaAsの多重量子井戸活性層を持つ830nm帯の面発光レーザを使用した。この場合、共通電極はカソードになり、独立駆動するための電極13はアノードになっている。

【0044】

この面発光レーザを駆動するためのE/O変換部の概念図を図8（b）に示す。コネクタ部7のピン9に繋がるLSIの最終段には電流駆動が出来るようCMOSバッファインバータ81が構成されているが、本発明ではこの最終段の構成をえることなしに、金属ケーブルで接続する替わりに面発光レーザでE/O

変換して光導波路3で接続する。CMOSバッファの駆動電流能力は通常10mA以下であるが、ここで使用した面発光レーザはしきい値が約1mA、100μW出力時の動作電流は3mAと非常に低いので、充分駆動することが出来る。面発光レーザ82に3mAの電流を流すときの動作電圧は約2.5Vであるため、3.3V-CMOSの場合には直列抵抗Rとして、 $(3.3 - 2.5) / 3 \times 10^{-3} = 267\Omega$ の抵抗Rを挿入すればよい。この抵抗は図1におけるプレート4の配線中に挿入（不図示）すればよい。

【0045】

しかし、この系ではカソードコモンで動作させる為にCMOSのpチャネルで電流駆動させることになり、そのスイッチング時間が効いてくる為に高速化には限界がある。一方、図8(a)のようにアノードコモンタイプにすればnチャネルMOSで電流駆動するCMOSを選べるので、更なる高速化が図れるメリットがある。そのため、本発明では、面発光レーザのn基板を除去してn側を電極分離することでアノードコモン化する技術も開発している。その作製方法を図6に示す。

【0046】

図6は、簡略化のため、2個のみの面発光レーザのアレイの断面を示している。図6(a)において、n-GaAs基板60上に、エッチトップ層となるn-AlAs層(不図示)、コンタクト層となるn-GaAs(不図示)を成長してから、n-AlAs/A1GaAs多層膜ミラー61、アンドープのGaAs/A1GaAs多重量子井戸活性層とA1GaAs層からなる1波長共振器層62、p-AlAs/A1GaAs多層膜ミラー63を有機金属気相成長法などでエピタキシャル成長する。その後、電流狭窄層66を形成する為にリング状にエッティングを行なって凹部67を形成してから、SiNxなどの絶縁膜64を発光領域部を除いて成膜して電極65を形成する。

【0047】

次に、図6(b)において、プレート10の全面電極(不図示)に、p側の電極65全体をAuSnハンダによって接着してから、GaAs基板60を研磨および化学的エッティングにより除去する。このとき、エッチャントはH₂O₂とN

H_3 の混合液を用いており、GaAs 基板 60 上に成長してある AlAs 層でエッチングを止めることが出来る。その後、直ちに HCl によって AlAs 層を除去してミラー 61 最下面に成長している GaAs 層を露出させる。続いて、図 6 (c) において、表面に露出しているミラー層 61 の素子間部分を硫酸系のエッチャント等でウエットエッチングして分離溝 68 を形成し、n 側の電極 13 を窓部 12 を形成しながら成膜する。

【0048】

次に、もう 1 つのプレート 19 に貼り付けられた TAB テープ 18 の穴 14 の周りの電極 17 と面発光レーザの電極 13 同志をやはり AuSn ハンダなどで接着する。すると、窓部 14 から光を取り出せるアノードコモン型面発光レーザが作製出来る。これをマルチコア光導波路 3 のコア 21 に光結合が行われるようにアライメントしてプレート 19 と導波路 3 の端面を接着すればよい。

【0049】

また、作製方法の若干の違いで、図 7 のような方法もある。この場合、図 1 と若干構成が異なって、配線用の TAB テープ 18 が光導波路 3 の反対側のプレート 10 から出る構造になっている。図 7 (a) において、図 6 (a) の場合と同様に面発光レーザ構造を作製するが、光を p ミラー層 63 側から取り出すために、電極 65 には光取り出し用の窓 70 を開けておく。また、p 側を石英ガラス板 69 にエレクトロンワックスなどで貼り付ける。

【0050】

図 7 (b) において、図 6 (b) の場合と同様に GaAs 基板 60 を除去して電極 71 を形成する。このとき、共通電極となる p 電極 65 も同一面から取り出せるように、発光部のない領域にスルーホール電極 74 を絶縁層 75 と共に設けてパッド 76 であるアノード電極をカソード電極と同じ側に作製する。そして、プレート 10 に TAB テープ 18 を貼り付けて TAB テープ上の電極 72、73 とレーザのカソード電極 71 および共通アノード電極 76 を夫々接着する。このとき、こちら側から光は取り出さないために電極 71、72 に窓を開ける必要はない。これらの作業をやり易くする為に、p 側を上記石英ガラス板 69 に貼り付けるのである。

【0051】

図7(c)において、石英ガラス板69を取り外し、この側の電極65を、光導波路3のコア21と光結合するようにアライメントしてから光導波路3の端面に接着する。この例では、レーザ出射部とコア21が近接しているので光の結合損失が極めて小さくなる。

【0052】

このように、GaAs基板60を除去した構成では、レーザ光を発振させる機能層が薄くなってしまい、E/O変換部が非常にコンパクトになると共に、As含有率を大幅に下げられるので環境安全性も高くなる。また、この機能部が図6の形態では2つの構造体10、19に挟まれるので、これら構造体に熱伝導性の高い物質を用いれば、よりレーザ特性を向上出来る。

【0053】

ところで、面型発光素子として発光ダイオードを使用することも出来るが、動作電流は30mA程度と1桁大きくなり、消費電力が高くなると共にドライバ部分の工夫が必要になる。また、面型受光素子については詳しく触れなかったが、構成や作製方法は類似しており、GaAsのpin構造をエピタキシャル成長および拡散して作製している。材料はSiやInGaAsでもよい。MSM型の場合はGaAs上にAlなどで櫛形電極を形成すればよい。受光素子の駆動回路には増幅器および判別回路が必要になるので、このような電子回路は上記に述べたようにコネクタ部7後段の配線を形成したプレート4上などに構成すればよい。

【0054】

また、ここでは830nm帯の例を示したが、他の波長帯、すなわちInGaAsによる0.98μm帯やInGaAsPによる1.3μm帯などでも勿論よい。

【0055】

[第2実施例]

第1実施例では主にパラレル配線に用いる場合の光配線用コネクタであったが、ピン数が増えるとコネクタ部の占める面積およびマルチコア光導波路の体積が大きくなってしまう。

【0056】

そこで本実施例では、1部をシリアル化してピン数を減少させると共に光素子の特徴である高速伝送を利用するものである。本実施例では図9(a)のようにコネクタピン(オス)91がベースプレート90に固定されており、ボードとは、図9(b)のようにボード100上に実装されたメスコネクタ98で接続するか、図9(c)のように直接ボード100にハンダ付け(符号103で示す)して接続している。ベースプレート90の後段には、パラレルシリアル変換用ICおよびレーザ駆動用ICが集積されたSi-ICのペアチップ92があり、面型光素子93(図9(a)では透視図になっている)がこのLSIにフリップチップ実装されてスタックされている。さらに、光素子93とマルチコア94の光導波路95とが光結合するようにアライメントされて接着されており、光導波路95にはカバー兼ハンドリング用となる終端ソケット96が接着されている。

【0057】

次に、Si-IC92と光素子93の構成について説明する。面発光レーザの部分の断面図を示したものが図10である。符号92は上記で説明したSi-ICであり、図10では示していないがベースプレート90上に実装されてピン91と電気的に接続されるようになっている。Si-IC92には光素子93が実装される領域を設けてあり、IC92の電極とは配線106介して接続される。この配線106と面型光素子93は図10のように電極71、76がアライメントされてフリップチップ実装されている。

【0058】

図10に示してある面型光素子93の断面図は第1実施例で示した図7の面発光レーザと同じである。図10において、図7の符号と同じものは同一機能部であることを示す。ただし、TABテープ18が不要であること、光導波路95との接着面に熱伝導性を高めて光素子93を補強するためのセラミックプレート105が備えられていることのみが異なる。ここで、符号92はSi-ICとしたがシリアル-パラレル変換が不要である場合には単なる配線基板として利用する。また、面発光レーザを例にとって図示したが、面型受光素子も同様に実装され、図9(a)に示したような2×2で4本のコア94を持つ場合には、面発光レ

ーザと面型受光素子を2個ずつとしてもよい。

【0059】

次に、ボード100への接続方法について図9(b)、(c)をもとに更に詳しく説明する。図9(b)はボード100にソケット98を用意する場合であり、板バネ状のスプリング99とピン91が接続されるようになっている。ソケット98からのピン101がボード100にハンダ付け(符号102で示す)されている。図9(c)はソケットを省略してボード100に直接コネクタピン91をハンダ付け(103)する場合である。この場合、ピン91は表面実装が出来るようにベースプレート90と平行にピンが出るタイプのフラット型としてもよい。

【0060】

また、図9(b)、(c)の断面図において、97は、ベースプレート90、Si-IC92、光素子93、光導波路95をスタックした後に施される補強とカバーを兼ねた部材であり、図9(a)では省略している。一方、マルチコア94の光導波路95は第1実施例と同様のものでもよいし、コア数が少ない場合には1次元アレイの光導波路としてもよい。もちろん1次元状に光ファイバを並べたアレイファイバでもよい。このように1次元アレイにした場合には、光素子として端面から発光、受光を行なう導波路型デバイスを用いてもよい。

【0061】

以上、第1、第2実施例のような光配線素子を用いて構成した全体イメージの例を図11に示す。図11において、30は光電気混載基板としてのマザーボード、32は大規模中央演算処理装置(MPU)、31は1次キャッシュメモリ、33はDRAMが搭載されたMCMモジュールがドーターボードとしてマザーボード30に装着されているものである。ボード30、33内の信号伝送は配線34で行われるが、高速信号の場合には一部光導波路としてもよい。ボード間のパラレル接続には、本発明による第1実施例の光-電気変換内蔵コネクタ35およびマルチコア光導波路36を用いて接続を行なう。光導波路36は従来の電気配線に比べて体積が小さく、柔軟性も高いために配線が高密度になったときにも脱着が容易である。また、配線部分での電磁波の干渉がないため、クロストークの間

題や装置からの放射ノイズが低減されると共に、コネクタ部分35でのインピーダンスマッチングの必要性がないので設計が容易になる。

【0062】

ハードディスクドライブのような外部記憶装置との信号のやり取りは、本発明による第2実施例のコネクタ38およびマルチコア導波路37を用いてシリアル高速転送することがケーブルの低コスト化に繋がってよい。コネクタ部38には、パラレルシリアル変換して10Gb/s程度の転送レートを持つ送受信部を装着している。図11においては、ボードの主要な部分しか書かれていないが、必要な回路構成にして、本発明による光配線によりボード間接続、装置内の内蔵電子機器間の接続を行なってクロックレートが1GHzオーバーの次世代コンピュータを構成することが出来る。

【0063】

このときLVDs方式を用いることに比べて高速で小型化、低消費電力化が可能で、EMI対策が容易な光配線を提供することが出来る。従来の光コネクタを用いた光インターフェクションに対しても、コストケーブルの脱着の信頼性、容易性などの面で有利である。また、コンピュータに限らず、最近の電子機器、例えば携帯電話、デジタルカメラなどではより高速化、小型化が要求されており、同時に低EMI化が必須となっている為に、本発明による光配線がこれらの機器には非常に有効になる。

【0064】

〔第3実施例〕

第1、第2の実施例では光導波路として、表面プロセスで作製するマルチコア導波路を用いていたが、装置間の接続のように配線の長さが1m以上になると光ファイバを用いて構成した方がトータルコストの面で有利であり、本実施例ではアレイファイバを用いてコネクタを構成したものである。

【0065】

図12にその部品構成を説明する斜視図を示す。電気コネクタ部120には電気接続用のピン121が備えられ、そのピン121と接続するようにSi-IC122がフリップチップ実装されている。

【0066】

S i - I C 1 2 2 は、第2実施例と同様に、面発光レーザの駆動 I C および面型受光素子の駆動 I C が集積化されたものである。その I C 1 2 2 の一部には、第2実施例と同様に、光素子 1 2 3 が実装されるスペースおよび電極パッドがあり、光素子 1 2 3 も I C 1 2 2 上にフリップチップ実装してスタック化されている。光素子 1 2 3 は面発光レーザおよび面型 p i n - P D から成り、同一基板上に形成されていても、別々に作製して同一 S i - I C 上にハイブリッド的にフリップチップ実装して一体化したものでもよい。この S i - I C 1 2 2 と光素子 1 2 3 とのスタック化は第2実施例と同様に行なえばよい。必ずしも面型素子でなくてもよく、低しきい値の短共振器をもつ端面発光レーザでもよいが、実装は複雑になる。

【0067】

また、光導波路 1 3 0 としては $250 \mu m$ ピッチで 4 本のアレイファイバ 1 2 7、1 2 8 を用いた。ファイバとしては G I (g r a d e d i n d e x) - 5 0 を用いたが、シングルモードファイバやプラスティック光ファイバ (P O F) でもよい。特に、P O F のうちコア 1 2 8 が石英でクラッド 1 2 7 がプラスティックの H P C F ファイバは、コア 1 2 8 が $200 \mu m \phi$ 程度であり、光結合が容易でしかも低損失であるというメリットと低コスト化出来るメリットがある。

【0068】

ファイバのアレイは、V溝を形成した S i 基板 1 2 6 に図 1 2 のようにファイバを並べて、上から平坦な S i 基板 1 2 5 でファイバを押さえて接着剤で固定するだけで簡単に精度よく作製出来る。このアレイファイバ 1 3 0 の先端部にはハンドリングを兼ねた補強材 1 2 9 を接着して、その端面を研磨する。そして、上記で述べた I C 1 2 2 にスタック化された光素子 1 2 3 の受・発光部 1 2 4 とファイバを光結合が出来るようにアライメントして、補強材 1 2 9 の端面を光素子 1 2 3 に接着する。コネクタ 1 2 0 と補強材 1 2 9 の間にはさらに補強を兼ねたカバー部材（不図示）を接着するか、全体をモールド材で固めることで、光電変換機能付きコネクタが完成する。

【0069】

本装置では光ファイバを用いているので伝送距離を100m以上まで自由に選択出来る。また、光伝送であるために電磁ノイズの混入、放射がなくコネクタ部でのインピーダンスマッチングの必要もない。また、コネクタ部に光結合部がないので信頼性が高く、脱着時の危険性もない。

【0070】

このような光配線は次世代のIEEE1394による高速な電子機器間の伝送や、コンピュータ間のGbitクラスのイーサネットワークなどに利用することが出来る。その例を図13に示す。

【0071】

図13では、パソコン本体133が液晶ディスプレイ134と本発明による光配線132で接続されている。液晶ディスプレイ134の前面に、キーボード137や外部記憶装置140を接続出来るポート(USBなど)141とデジタルビデオ装置139を接続するIEEE1394ポート142などが設けられて、ここに配線が接続される。マウス138は、赤外線で、やはり液晶ディスプレイ134の前面に備えられたセンサ143に空間的に接続される。このような構成は次世代用に開発しているパソコンの接続の一例であるが、ユーザーインターフェースを重視するためにディスプレイ前面に接続ポートを設けると、本体133とディスプレイ134の間には高速伝送が要求される。ここで配線132の部分に本発明による電気コネクタ付き光配線を用いれば、低コスト、低EMIで高速転送が可能な接続を実現出来る。ここでは、コネクタ部に光コネクタを用いていないので、一般消費者が手軽に扱える光配線となる。

【0072】

一方、ハブ136との接続やLANへの接続に関しても、GIGIクラスの接続が要求されるようになってくるため、本発明による光配線ケーブル135を用いれば、ケーブルの低コスト化、低重量化、省スペース化を信頼性よく構築できる。以上の実施例では、コネクタ部はすべて電気的な接触を得るためのピンのみを備えるものであったが、一部に光接続を行なうための光コネクタを混在させた光電気混在コネクタであってもよい。

【0073】

【発明の効果】

以上説明した様に、本発明によって、光ファイバや光導波路を用いた光接続をする場合に、脱着が容易で信頼性が高く、低コストな電気コネクタ部による電気接続を介して行える光インターフェクションを実現出来る。また、面実装で小型、低コストな電気および光実装手段を実現出来るので、光インターフェクションを行なうためのコネクタを小型化出来る。

【0074】

また、面発光レーザのオン・オフ駆動をLSIの出力段のトランジスタで行なって、特別なLSIや電気回路上の変更がなく、低コスト、低消費電力の光配線装置の駆動方法も提供出来る。更に、電子機器内で上記光配線装置を用いることで、低コストで、高速信号処理が可能で、低放射ノイズである装置を提供出来る。また、電子機器同士を上記光配線装置を用いて接続することで、低コストで大容量信号伝送を行なうことが出来る装置やネットワークを提供出来る。

【図面の簡単な説明】

【図1】

図1は本発明による第1実施例の光配線用コネクタとE/O変換部の構成を説明する分解斜視図である。

【図2】

図2はO/E、E/O変換部を一体化したコネクタを説明する分解斜視図である。

【図3】

図3は本発明によるL型のコネクタを説明する分解斜視図である。

【図4】

図4は本発明によるアレイ型光導波路シートの作製プロセスを説明する断面図である。

【図5】

図5は光配線と電気配線が一体化したシートを説明する斜視図である。

【図6】

図6は機能層のみを残した面発光レーザの作製プロセスを説明する断面図であ

る。

【図7】

図7は機能層のみを残した別の面発光レーザの作製プロセスを説明する断面図である。

【図8】

図8は本発明によるコネクタ部分の発光素子を駆動する方法を説明する図である。

【図9】

図9は本発明による第2実施例の光配線用コネクタの構成及び該コネクタとボードとの接続方法を説明する図である。

【図10】

図10は面発光レーザとLSIを同一基板上に構成した光配線用コネクタの断面図である。

【図11】

図11は本発明による光接続装置で構成したボード接続の例の斜視図である。

【図12】

図12は本発明による第3実施例の光配線用コネクタを説明する分解斜視図である。

【図13】

図13は本発明による光接続装置で構成したコンピュータ機器の例の斜視図である。

【図14】

図14は光コネクタの従来例の図である。

【図15】

図15は光配線用コネクタの従来例の図である。

【符号の説明】

1 光電変換部

3、36、37、95 光導波路シート

4 配線用プレート

5 接続用ホール

6、15、17、71、72、73、76、106 電極パッド

7、120 電気コネクタ

8、1103 コネクタの接続用ホール

9 ピン

10、19 プレート

11 発光素子

12 発光部

13、26、65、71 電極

14 光透過窓

16、34 電気配線

18 フレキシブル配線基板

20 光導波路補強用プレート

21、94、128 コア

22 光実装用ガイドピン

23 光実装用ガイド穴

24 受光素子

25 受光部

27 金属膜配線

30 電気回路ボード

31 2次キャッシュ

32 MPU

33 メモリモジュール

36、38 光電変換内蔵コネクタ

41、60、69 基板

42 クラッド層

43 コア層

44 レジスト

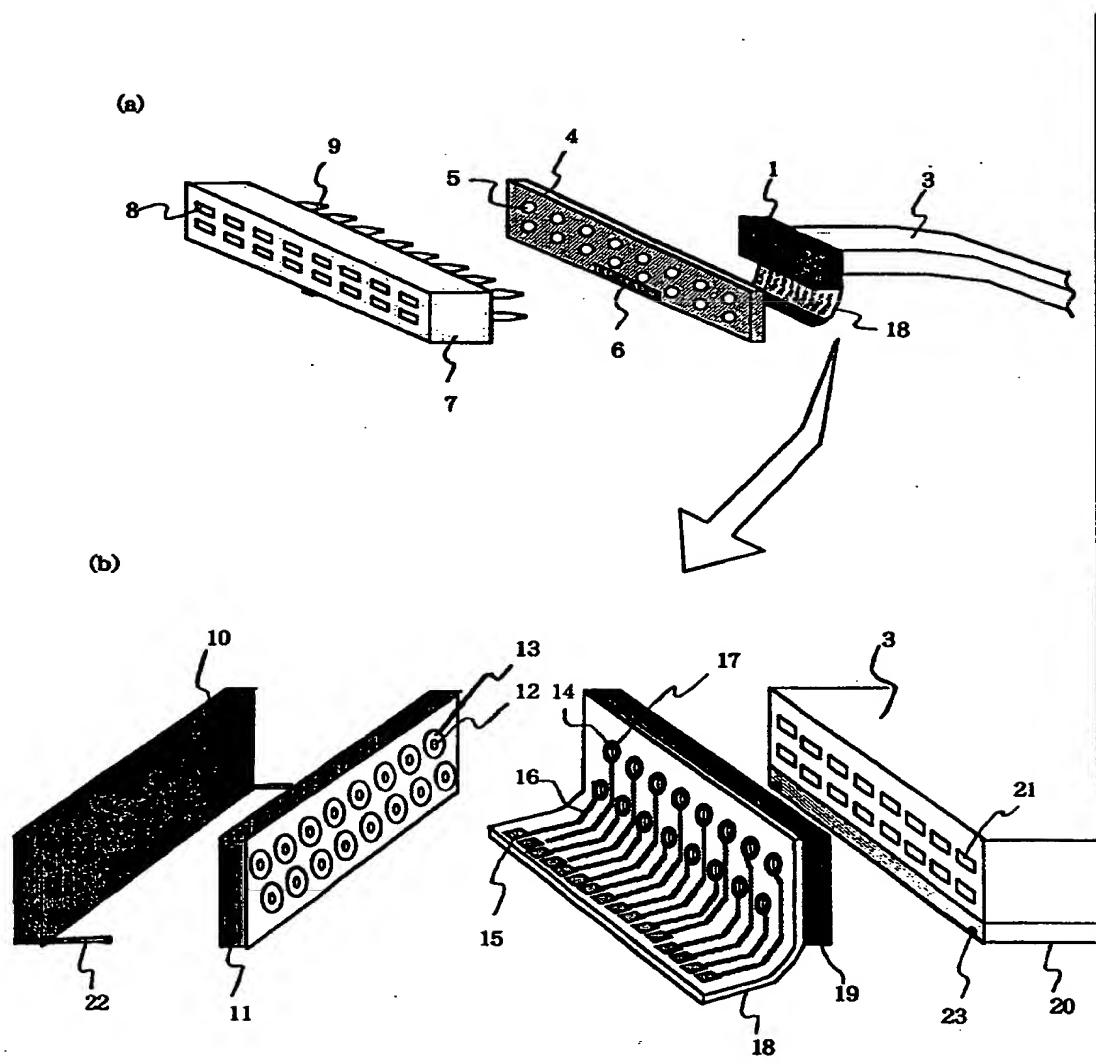
45 金属膜

- 61、63 DBRミラー
62 活性層
64、75 絶縁膜
66 発光部
67 溝部
68 電極分離溝
70 窓
74 スルーホール電極
81 CMOSインバータ
82 レーザダイード
90 ベースプレート
91、121、1102 コネクタピン
92、122 電子集積回路
93、123 光素子
96、97、105、129 補強用部材
98 レセプタクル
99 電気接触用板ばね
100 プリント基板
101 レセプタクルピン
102 ハンダ
124 受・発光部
125、126 ファイバ固定部材
127 クラッド
130 アレイ光ファイバ
132、135 光配線装置
133 パソコン本体
134 ディスプレイ
136 ハブ
137 キーボード

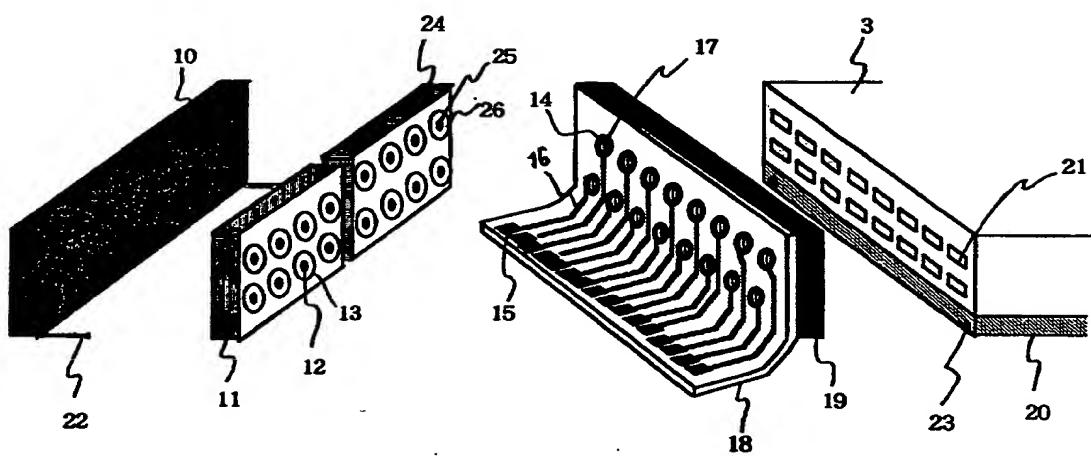
- 138 マウス
- 139 映像機器
- 140 記憶装置
- 141 USBポート
- 142 IEEE1394ポート
- 143 赤外線受光面
- 1001 光レセプタクル
- 1020 駆動電子回路
- 1040 光コネクタ部
- 1050 回路ボード
- 1060 光プラグ
- 1061、1100 光ファイバ
- 1066 光結合部
- 1067 ガイドピン
- 1101 光電変換集積回路

【書類名】 図面

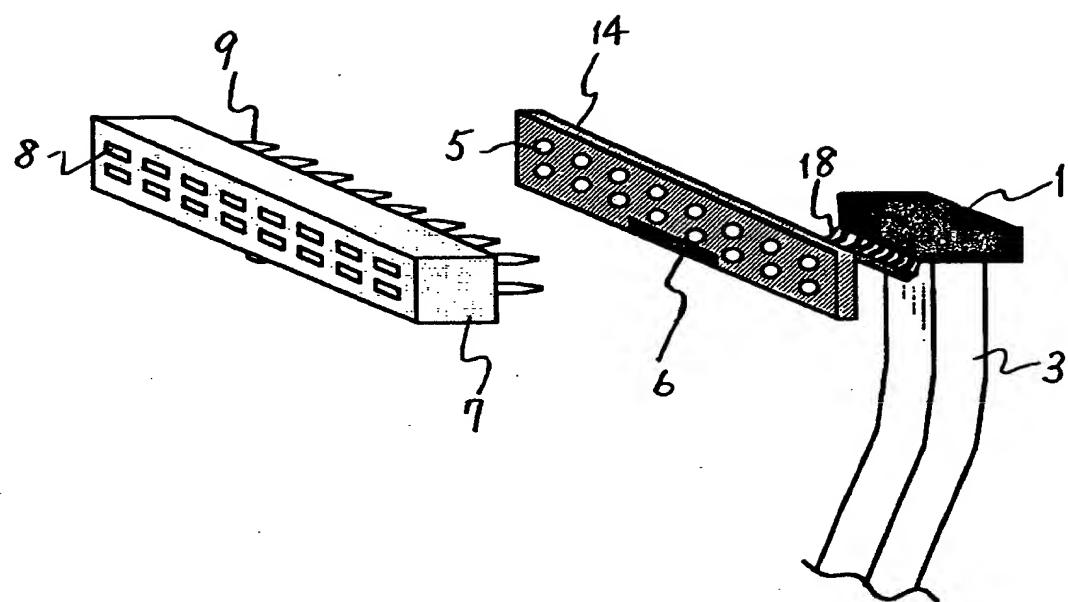
【図1】



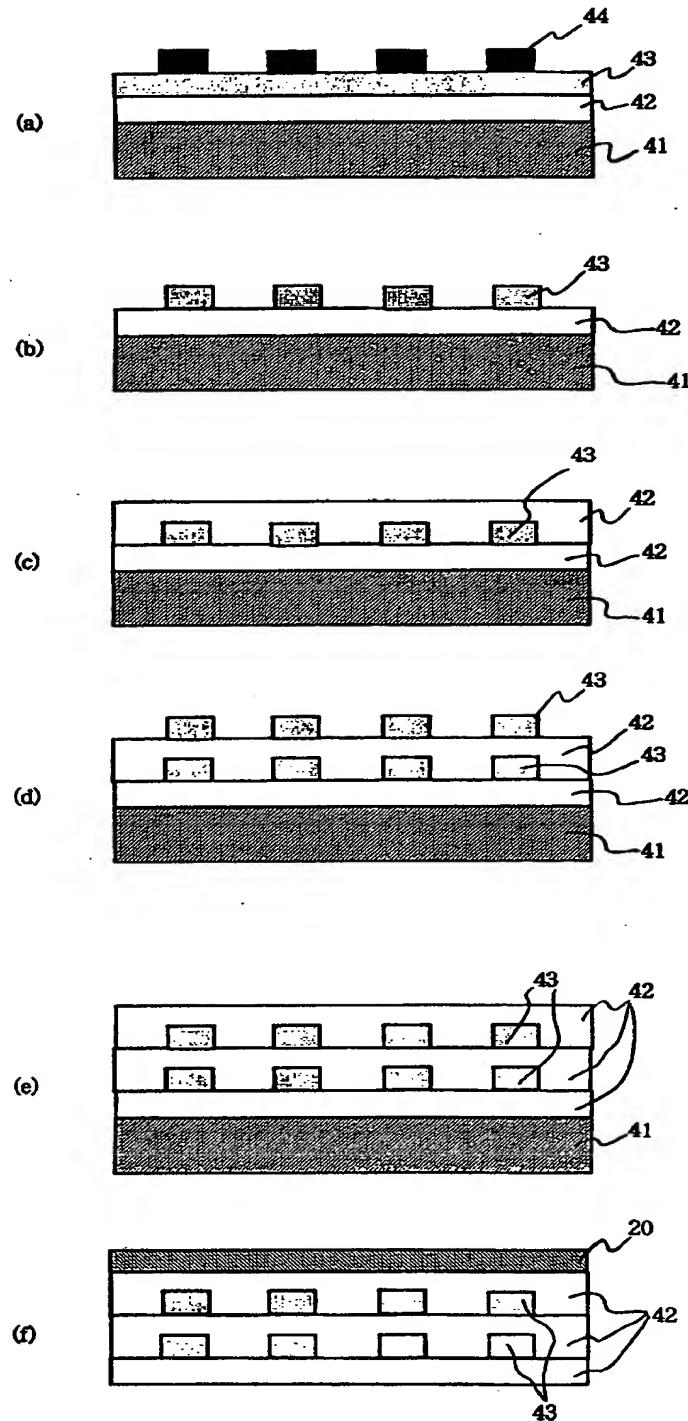
【図2】



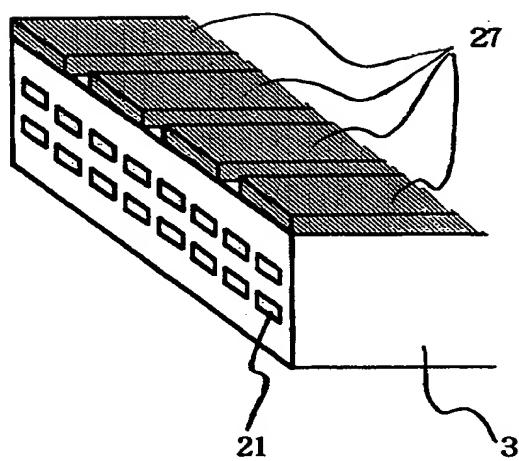
【図3】



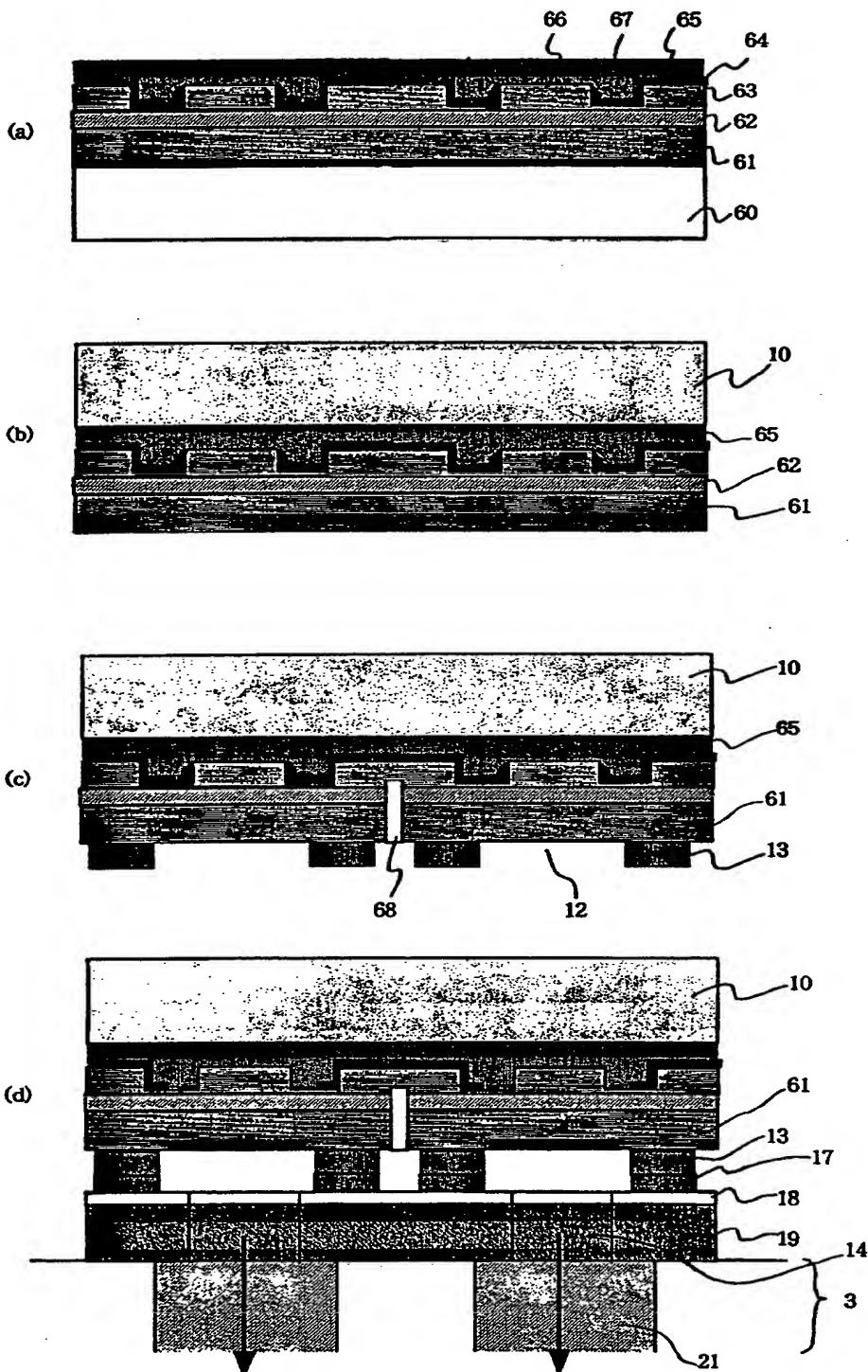
【図4】



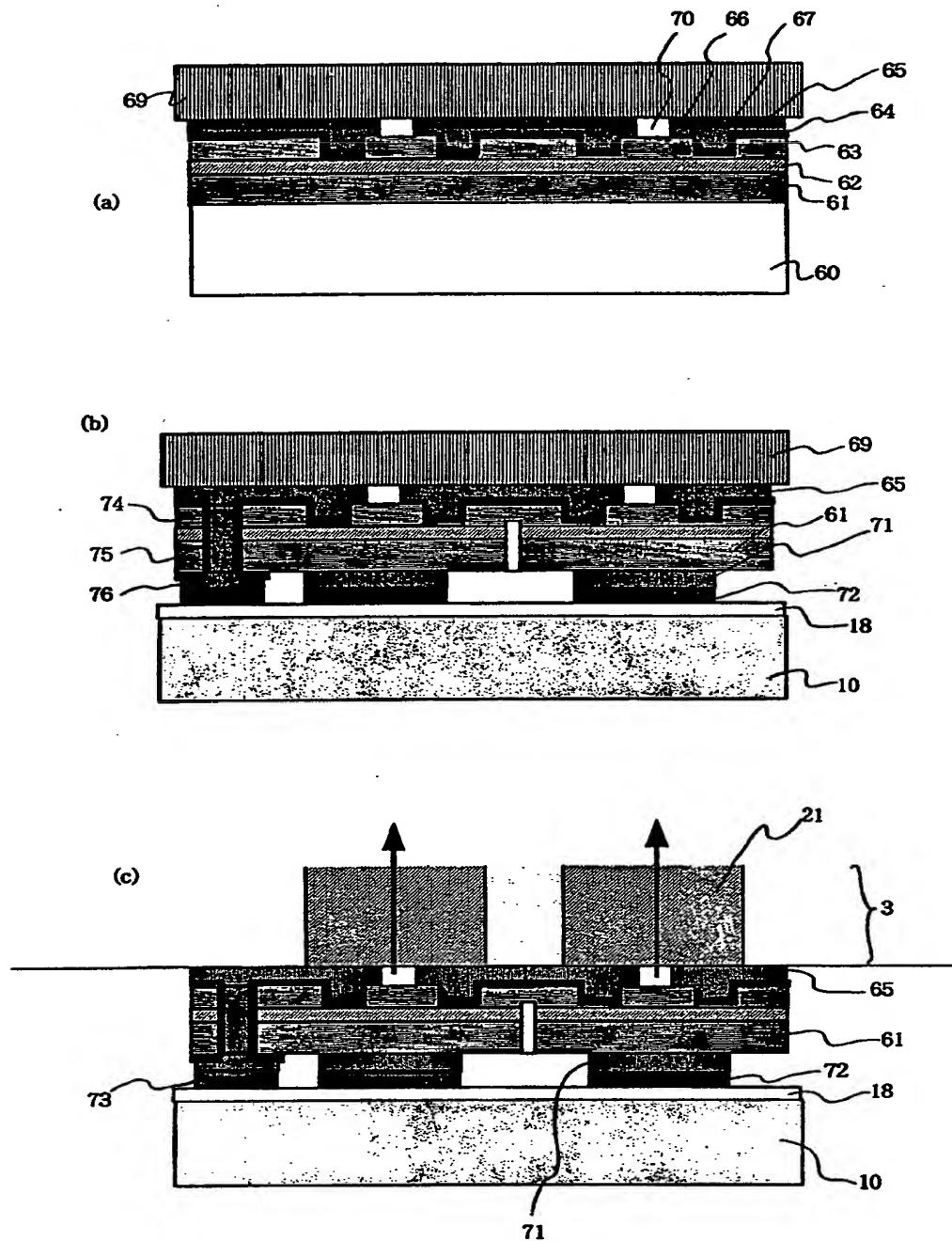
【図5】



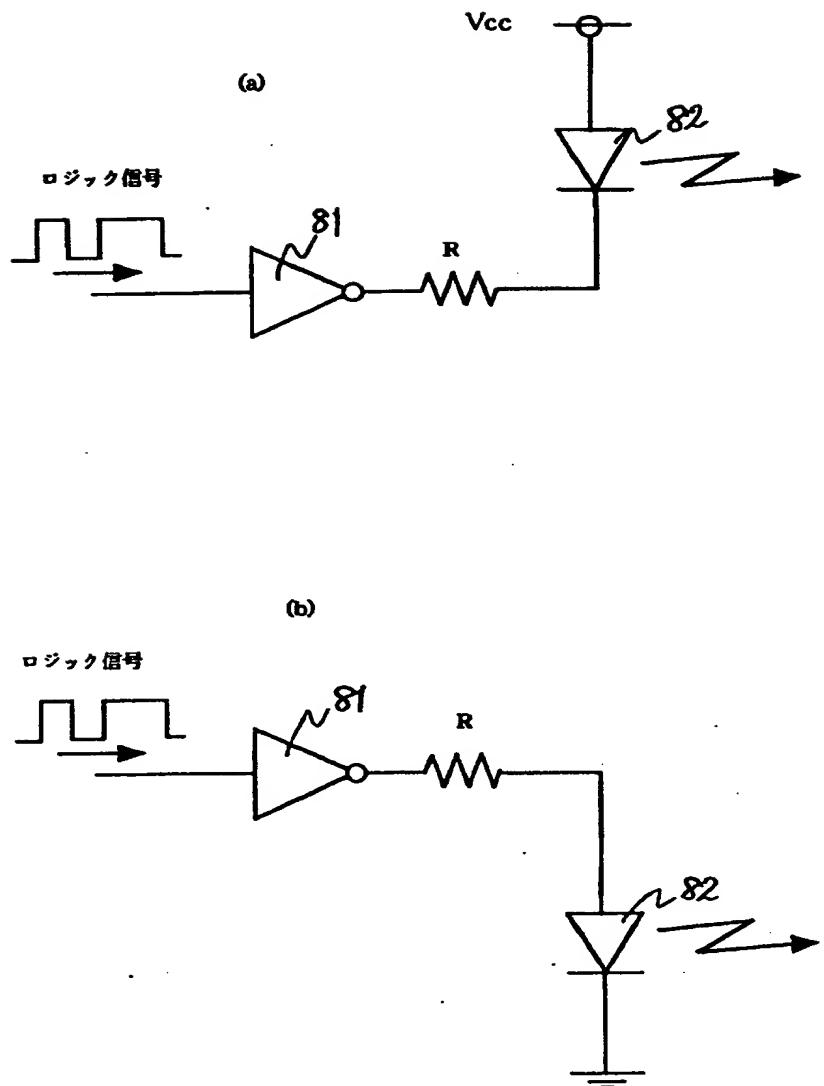
【図6】



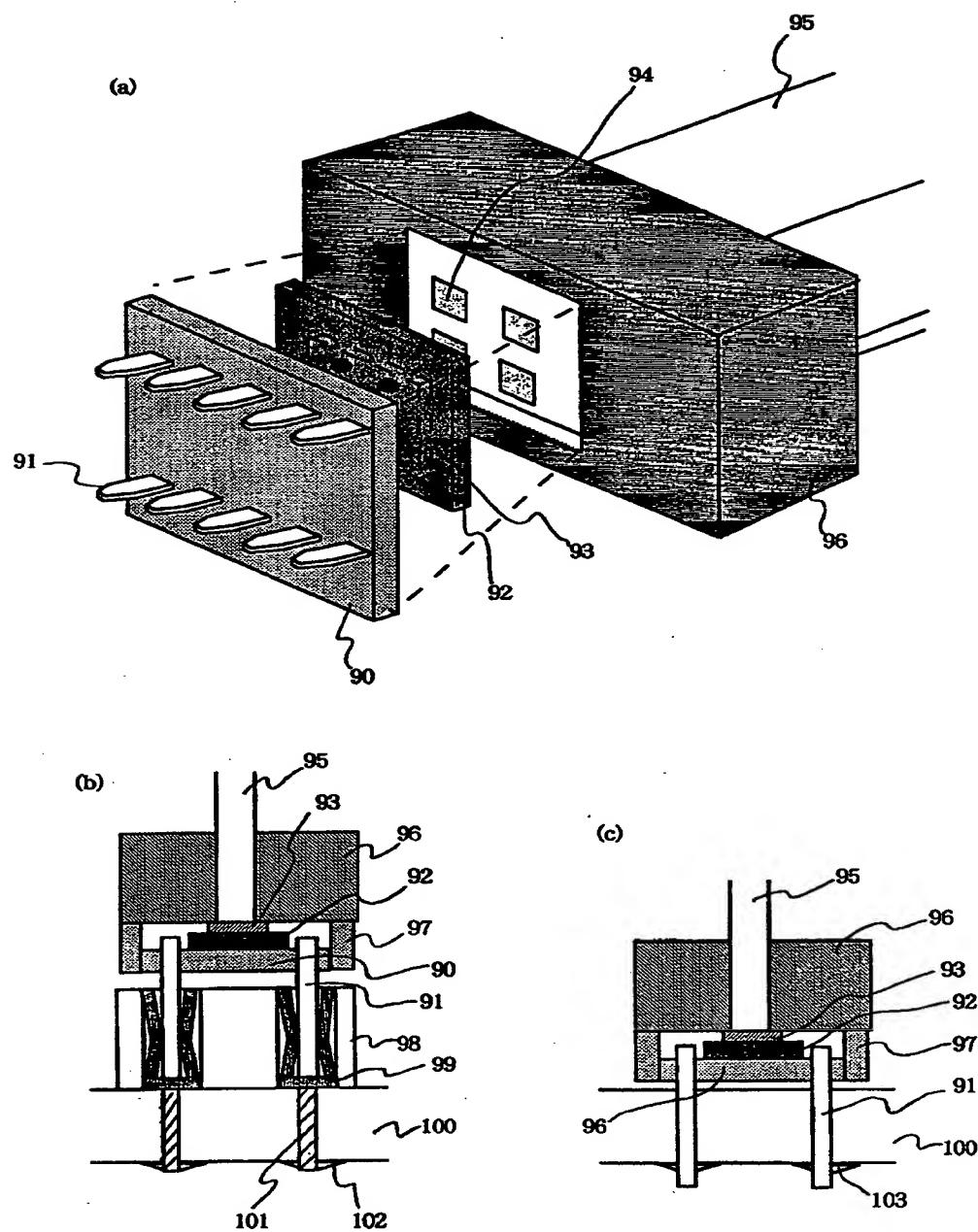
【図7】



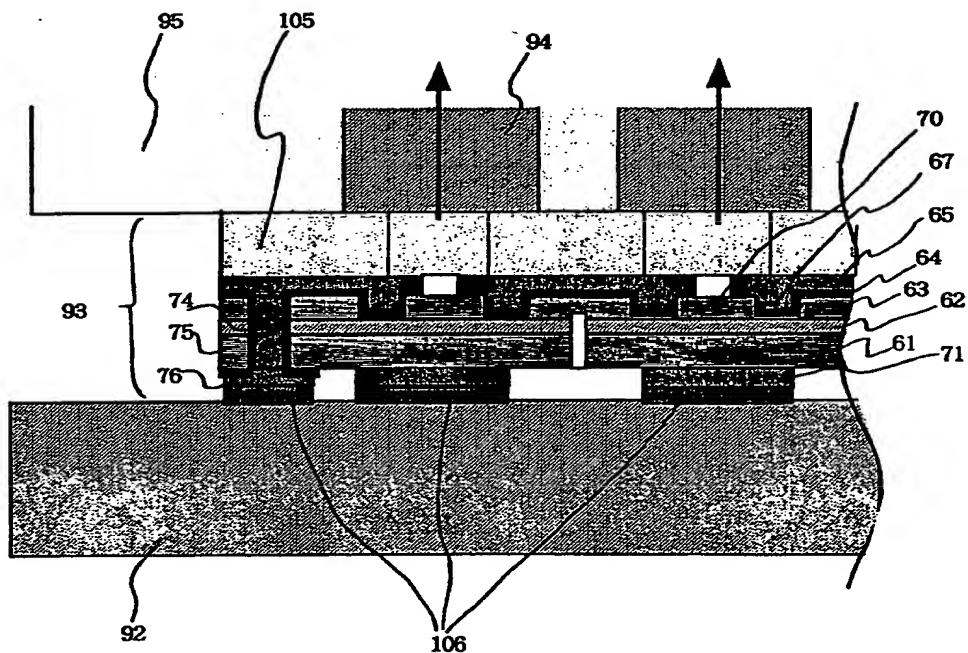
【図8】



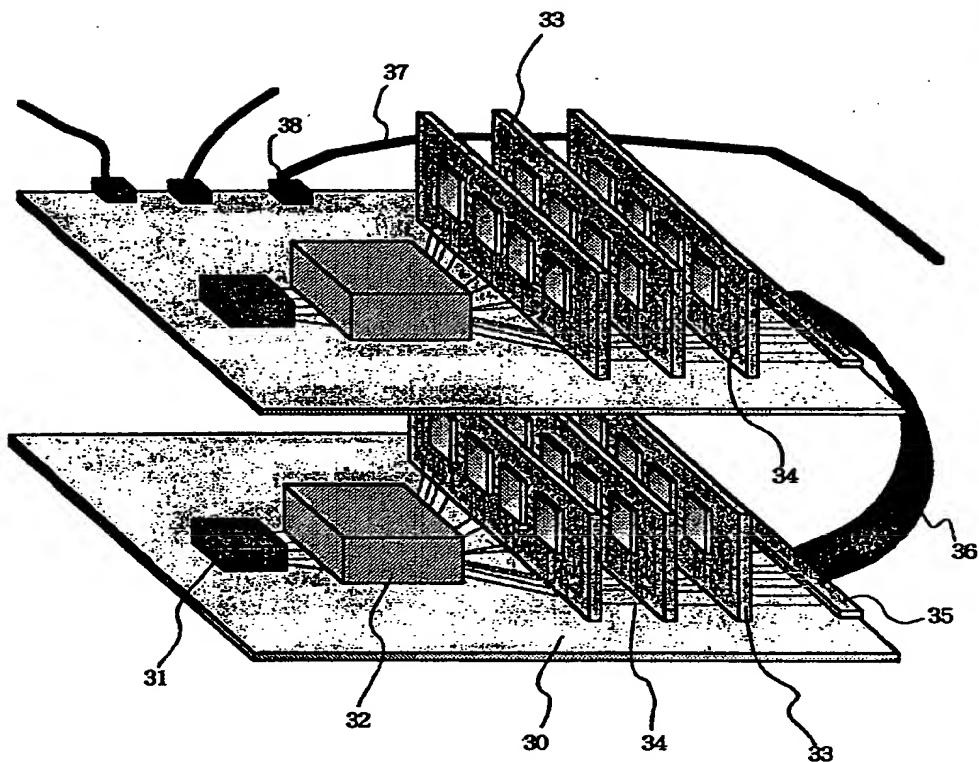
【図9】



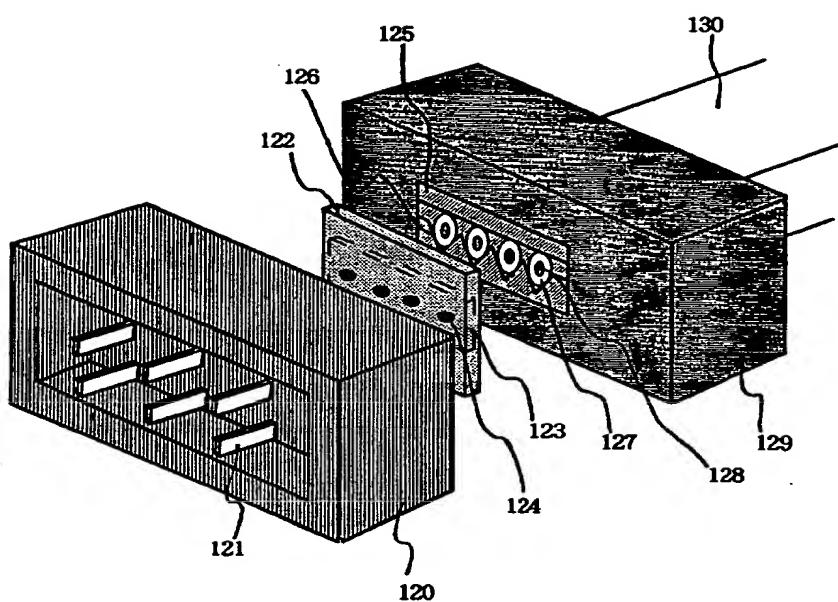
【図10】



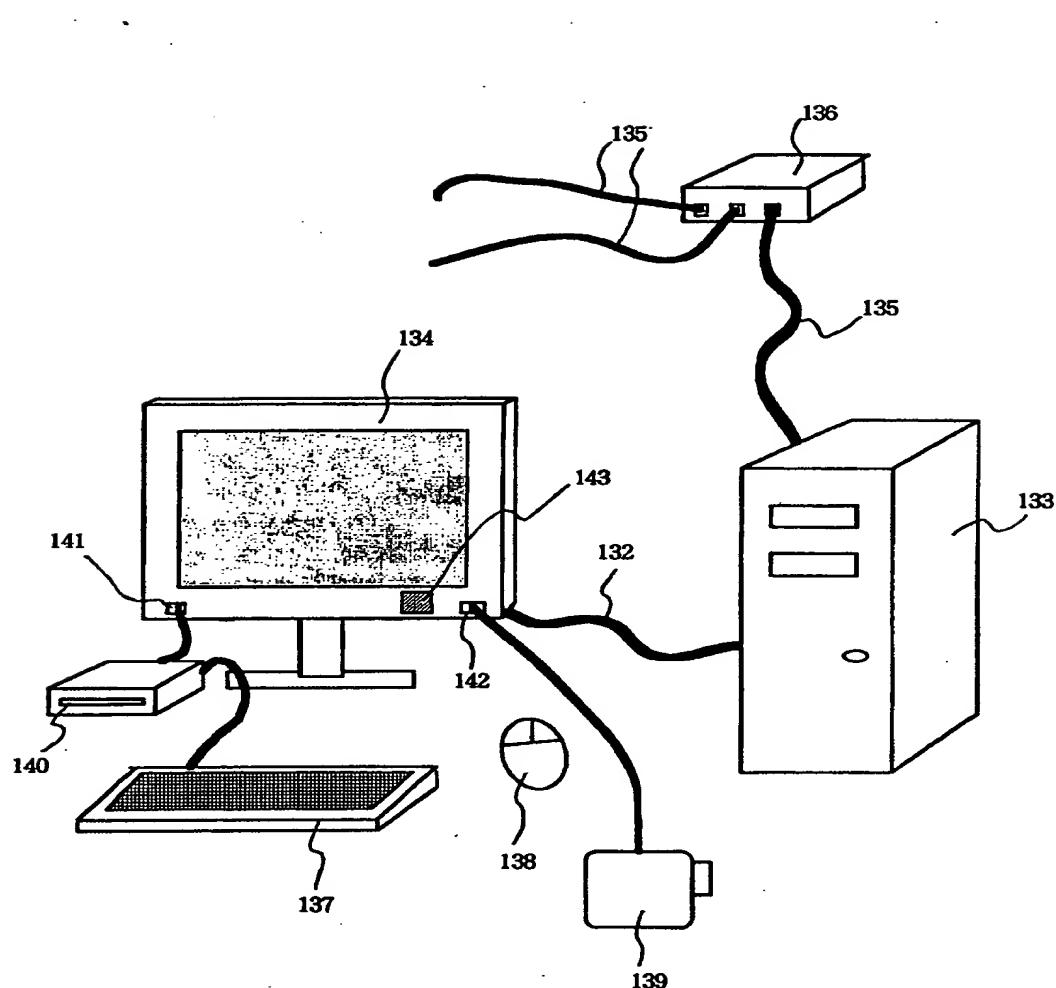
【図11】



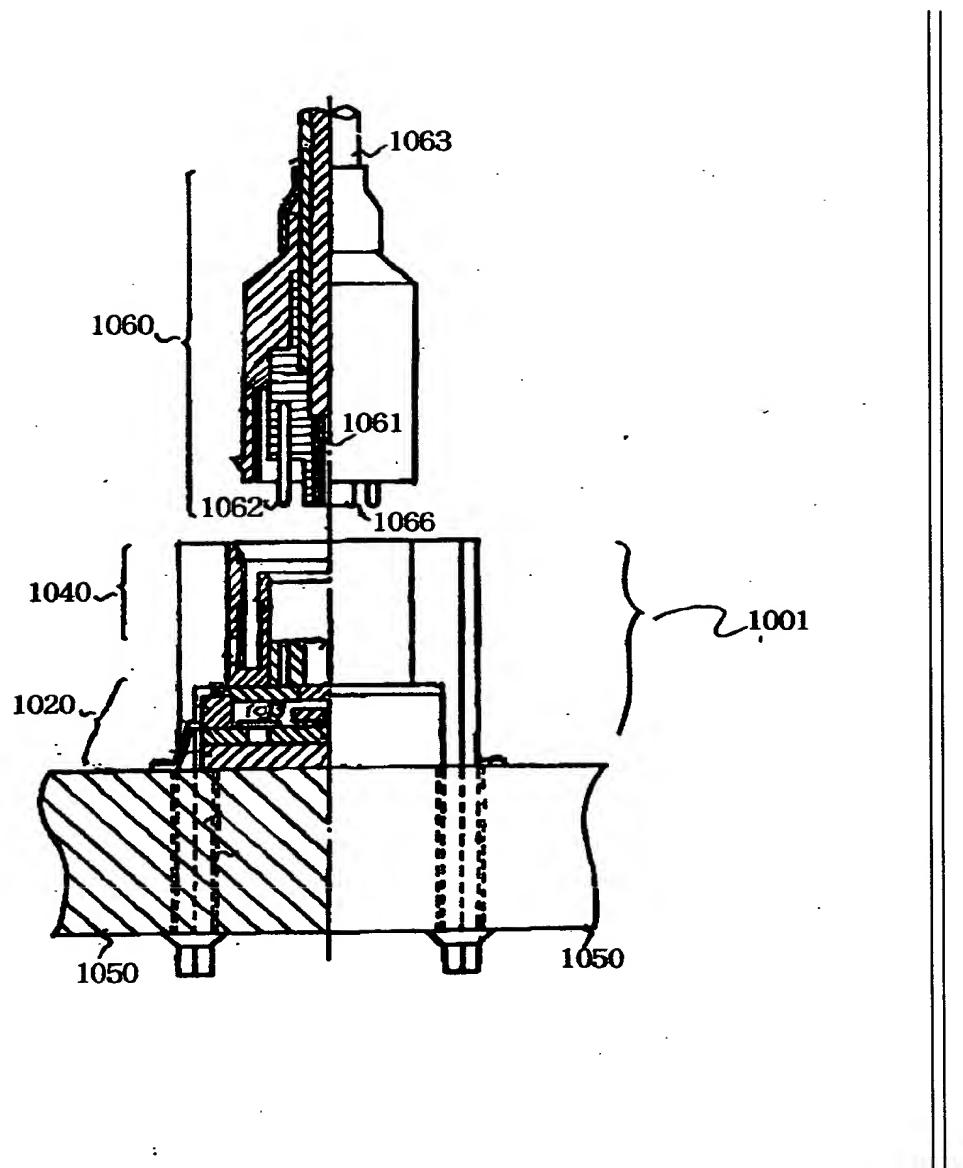
【図12】



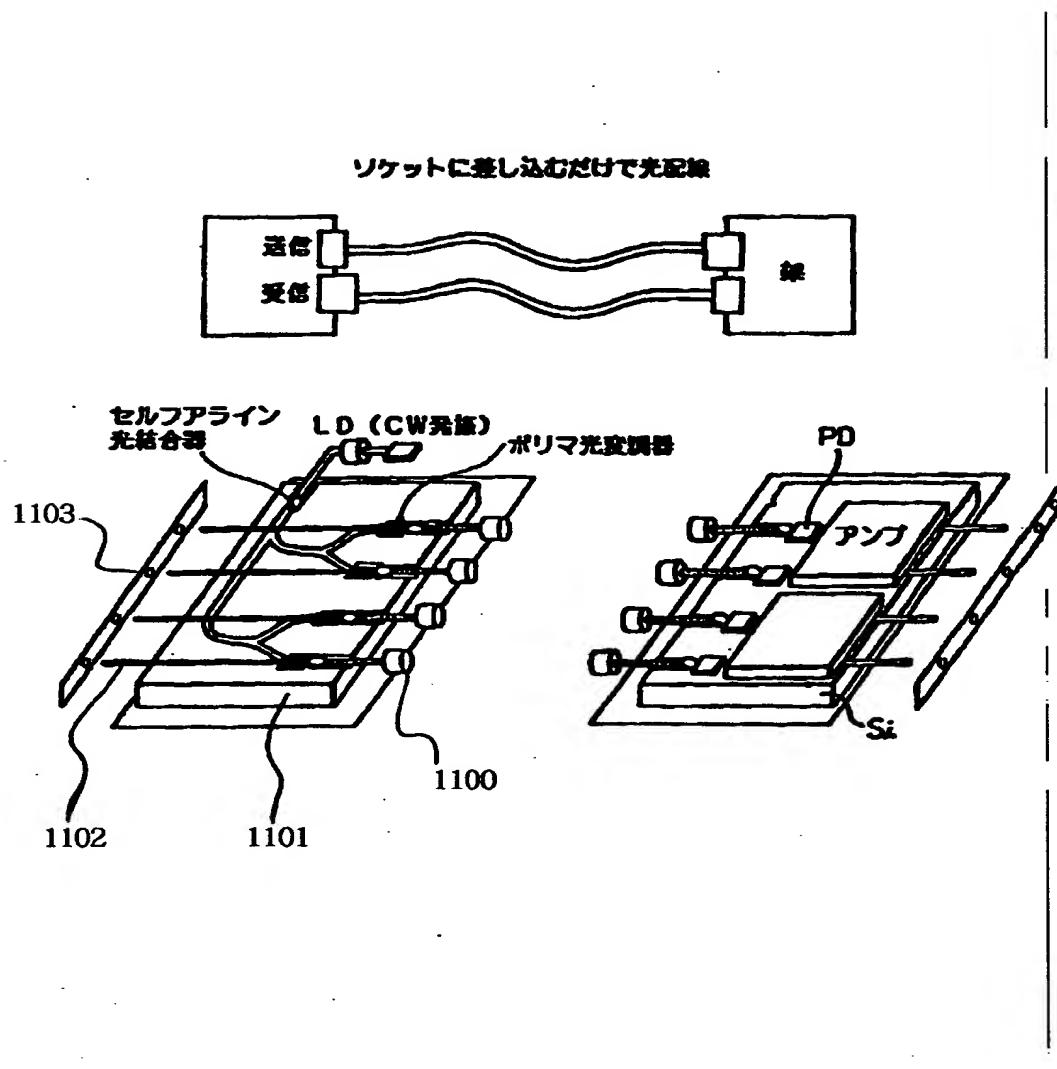
【図13】



【図14】



【図15】



【書類名】 要約書

【課題】 光素子を内蔵した光インターフェクション用のコネクタや導波路を含めた低コスト化可能で取り扱いの容易な光接続装置である。

【解決手段】 光接続装置は、外部との間で脱着可能な電気コネクタ部7と、光信号を伝送可能な光伝送手段3と、光電変換するための光素子11を備える。光素子11は、電気コネクタ部7の導電部9で接続された電気信号により変調される発光素子及び光伝送手段3で伝送された光信号を電気コネクタ部7の導電部9に接続するための電気信号に変換する受光素子の少なくとも一方から成って集積化されている。光伝送手段3と光結合するように光素子11はアライメントされて固定されている。

【選択図】 図1

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社